

3) *Sinônimos* ocorrem em sistemas de memória virtual quando dois endereços virtuais distintos mapeiam no mesmo endereço físico.

| | | |
|------------------|------------|--------|
| EV irtual | # pág virt | desloc |
| ender na cache | -índice- | |
| EF ísico | # pág fís | desloc |

Isso pode ocorrer quando dois processos compartilham uma área de memória. Uma maneira de evitar sinônimos, ou ao menos facilitar sua detecção, é garantir que a indexação da cache ocorra com bits que coincidem no EV e no EF, como mostrado no diagrama. Justifique esta solução. [15 pontos]

Segunda Prova

1) Esta questão tem dois itens: [10 pontos]

- (1a) Explique por quê, em sistemas com controladores de acesso direto à memória (CADM), os acessos do CADMs à memória principal tem maior prioridade do que os acessos da CPU à memória. Apesar disso, CADMs devolvem o controle do barramento após uns poucos ciclos de transferência (2-8); explique.
- (1b) Em sistemas com caches, memória virtual e controladores de acesso direto à memória (CADM) podem ocorrer problemas na consistência dos dados por conta da atuação em paralelo do processador e do CADM. Explique quais são os problemas que podem ocorrer, e em quais situações eles podem ocorrer. Indique uma possível solução para um dos problemas listados.

2) Considere um multiprocessador simétrico com 4 processadores interligados por um barramento. As caches são mantidas coerentes por um protocolo de invalidação, com 3 estados. Os blocos das caches são de 8 palavras de 32 bits. Qual o estado final das caches, supondo o estado inicial mostrado abaixo, e a execução dos seguintes comandos pelos três processadores. Os comandos estão mostrados na ordem absoluta de tempo; os índices nos blocos das caches são irrelevantes, e as caches são infinitas. [10 pontos]

P0: EXCL|v[0] .. v[f] P1: SHAR|u[0] .. u[7] P2: SHAR|u[0] .. u[7] P3: EXCL|t[0] .. t[f]

| | | | |
|---|---|--|---|
| P0 a=0; for(j=0; j<7; j++) a += t[j] + v[j+4]; for(j=0; j<15; j++) u[j+8] = t[j+8] * v[j]; ... | P1 v[6] = 0; x = v[0]; y = u[7]; | P2 for(i=0; i<7; i++) t[i] = u[i] * v[i]; | P3 for(k=0; k<15; k++) u[k] +=16; |
|---|---|--|---|

3) Qual é o tempo médio para ler ou escrever um setor de 1024 bytes de um disco? Suponha que o tempo médio de busca (*seek*) anunciado pelo fabricante é 8 ms, a taxa de transferência é 50 MB/s, a velocidade angular é 10.000 rpm, e o controlador dispende 0,1 ms tratando da requisição. O disco está desocupado. Repita, supondo que o tempo de busca real é três vezes mais longo do que o anunciado. Nos dois casos, qual é a vazão efetiva? [10 pontos]

Exame Final

1) Esta questão tem dois itens: [25 pontos]

- (1a) Escreva a equação da latência total para transmitir uma mensagem e explique sucintamente cada um de seus termos.
- (1b) Quais as diferenças, em termos de desempenho, das políticas de roteamento (i) armazenar e encaminhar (*store and forward*), (ii) corte transversal (*cut-through*), e (iii) *wormhole*?
Quais as diferenças em termos de custo da implementação?

2) Mostre como implementar as instruções abaixo no processador segmentado em cinco estágios. Sua implementação não pode introduzir nenhum risco estrutural e deve ter um custo relativamente baixo. Indique quaisquer modificações necessárias e mostre a tabela de sinais de controle ativos em cada um dos estágios de execução. [25 pontos]

```
ldi rd,rs,rt      # rd <- M[ rs+rt ]                load indexado
bal desl          # r31 <- PC+8 , PC <- (PC+4) + ext( desl<<2 ) branch-and-link
b desl           # PC <- (PC+4) + ext( desl<<2 )    branch always
```

3) Esta questão tem dois itens: [25 pontos]

- (3a) Quais as diferenças, com relação ao desempenho global do sistema, entre a sincronização com uma barreira com N processos em (i) um multiprocessador com memória fisicamente compartilhada (através de um barramento), e (ii) um multiprocessador com memória logicamente compartilhada mas fisicamente distribuída pelos nós de uma rede?
- (3b) Indique, simplificada, como as barreiras seriam implementadas nas duas classes de máquina.

4) Desenhe um diagrama detalhado de uma cache de mapeamento de endereços (*translation lookaside buffer* ou TLB) com 128 blocos e associatividade quaternária. Cada bloco contém um mapeamento. O processador emite endereços de 32 bits. O endereço físico possui 40 bits, e páginas virtuais tem 8 Kbytes. (a) Indique como um endereço é interpretado pelo controlador da TLB. (b) Qual o tamanho da Tabela de Páginas? [25 pontos]

