

Aluno: .....

1. A figura 1 mostra o circuito de uma máquina seqüencial síncrona que tem um sinal de entrada  $X$  e um conjunto de estados definido por um número binário de dois bits ( $S_1$  e  $S_0$ ).

- Construa o diagrama de estados para o circuito tal que os estados  $S_1S_0$  sigam a seqüência 0, 1, 2, 3, 0, ... quando  $X = 0$  e sigam a seqüência 0, 1, 3, 2, 0, ... quando  $X = 1$ .
- Construa a tabela de estados para a máquina sequencial síncrona.
- Derive as equações booleanas que expressem  $D_1$  e  $D_0$  em função de  $X$  e  $S_1S_0$ . Não é necessário implementar estas equações através de portas lógicas.
- Complete o diagrama temporal da figura 2, mostrando a seqüência de estados seguida pelo circuito. O estado inicial é 0, conforme mostrado no diagrama.
- Caso o valor de  $X$  mude ligeiramente antes da borda de subida do relógio, é possível que a máquina de estados siga uma seqüência de estados incorreta. Justificando sua resposta, identifique em que situações mudanças de estado incorretas são possíveis. Explique como o circuito pode ser modificado para evitar tais situações.

2. Circuitos combinacionais de média complexidade.

(a) A figura 3 mostra um circuito consistindo de um somador de 3 bits e três inversores. As variáveis  $p$ ,  $q$ ,  $y$  e  $z$  denotam os valores de  $P_2..P_0$ ,  $Q_2..Q_0$ , etc. como valores binários sem sinal. Apresente uma expressão aritmética para  $p$  em função de  $y$  e também mostre que

$$z = \begin{cases} q - y & \text{para } q \geq y \\ q - y + 8 & \text{para } q < y \end{cases} \quad (1)$$

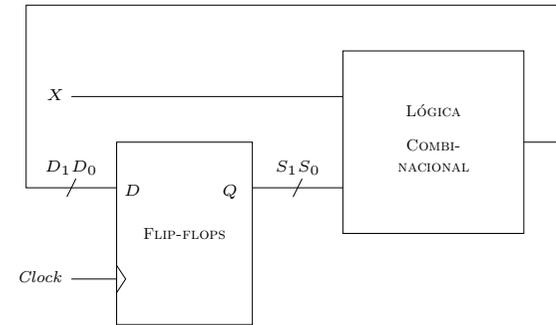


Figura 1: Circuito da Questão 1

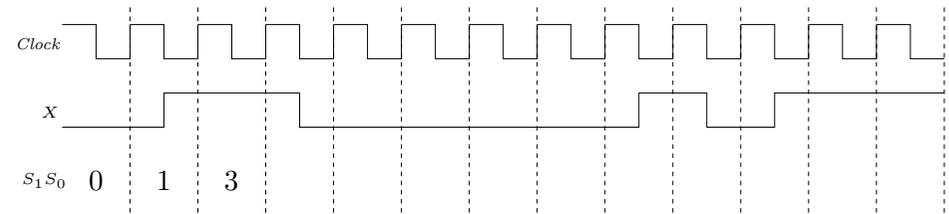


Figura 2: Diagrama temporal da Questão 1d

- O circuito da figura 4 compreende um registrador, dois contadores e o circuito subtrator do item 2a, rotulado como  $\Delta$  no diagrama. O contador de 3 bits incrementa na borda de subida do *clock*, desde que  $X = 1$ . O registrador é carregado na borda de subida do relógio sempre que  $K_1 K_0 = 3$ . Complete o diagrama temporal da figura 5 mostrando (em decimal) os valores assumidos por  $k$ ,  $q$ ,  $y$  e  $z$  durante cada período do *clock*. Você deve assumir que todos os contadores e registradores estão inicialmente zerados.
  - Explique a relação entre  $z$  e os valores de  $X$  nas bordas anteriores de descida do *clock* e determine o valor máximo que  $z$  pode assumir.
3. O circuito seqüencial da figura 6 implementa uma máquina com dois bits de estado,  $S_1$  e  $S_0$ . Os tempos de propagação para cada componente são:
- inversor:  $t_{CD} = 1ns$ ,  $t_{PD} = 2ns$
  - porta NOR:  $t_{CD} = 1ns$ ,  $t_{PD} = 2ns$
  - flip-flop D:  $t_{CD} = 0ns$ ,  $t_{Clk-Q} = 2ns$ ,  $t_H = 1ns$ ,  $t_S = 3ns$

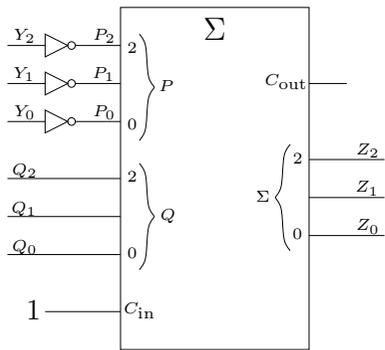


Figura 3: Circuito da Questão 2a

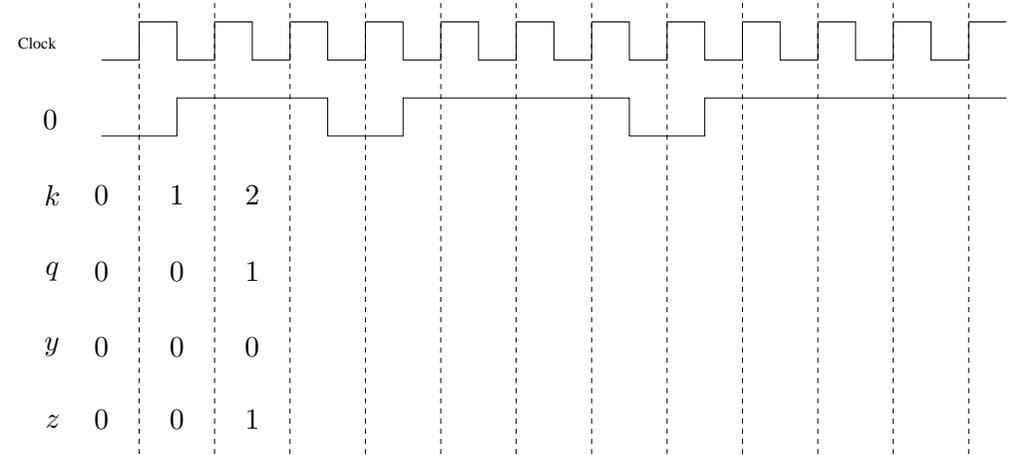


Figura 5: Diagrama temporal da Questão 2b

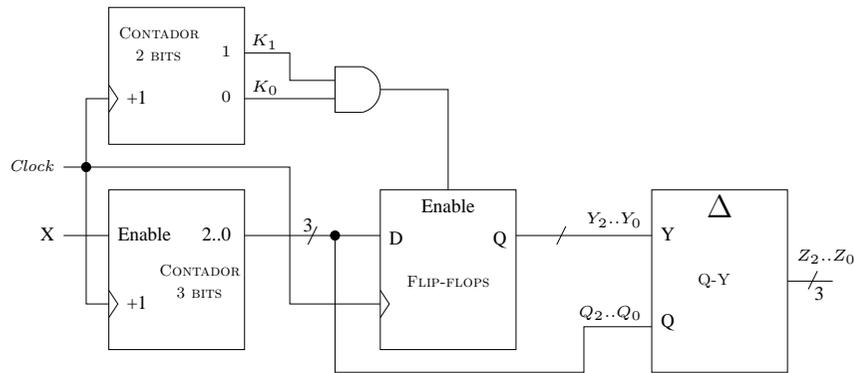


Figura 4: Circuito da Questão 2b

- Qual é o menor período de relógio para o qual o circuito ainda opera corretamente?
- Uma observação atenta poderia sugerir otimizar o circuito pela remoção do par de inversores e conectar diretamente a saída  $Q$  do flip-flop da esquerda à entrada  $D$  do flip-flop da direita. Se o período do relógio for ajustado apropriadamente, irá o circuito otimizado operar corretamente? Se sim, indique o ajuste necessário do período do relógio.
- Agora suponha que há um atraso no sinal de relógio, tal que a borda do sinal CLK sempre chega ao flip-flop da direita exatamente  $1ns$  antes que ele chegue no registrador da direita. Qual é o menor período de relógio para o qual o circuito opera corretamente?

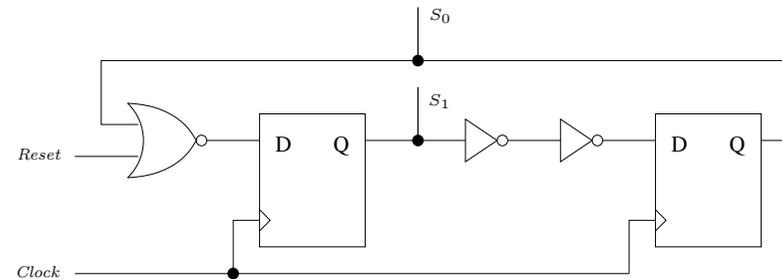


Figura 6: Circuito da Questão 3