

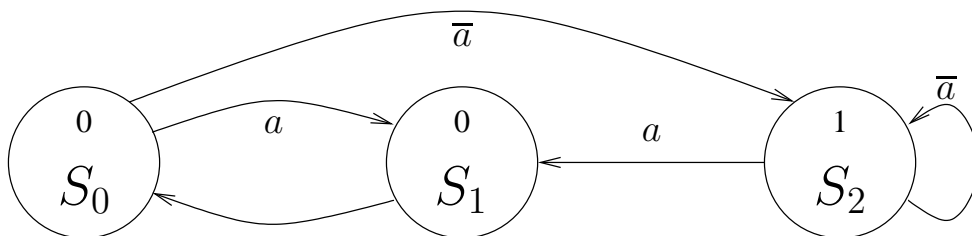
Aluna(o):

1. Máquinas Sequenciais

Construa uma máquina sequencial de Mealy que represente o comportamento de um circuito que reconheça a entrada 1101, com sobreposição. Apresente apenas a máquina sequencial. Não projete o circuito digital.

2. Circuitos Sequenciais

Projete o circuito digital que corresponde à máquina sequencial da figura abaixo, usando flip-flops tipo *D*.



3. VHDL

Apresente o circuito digital descrito pelo código em VHDL a seguir.

```
library ieee;
use ieee.std_logic_1164.all;

entity circuito_base is
  port (a, b, c: in std_logic;
        s, y: out std_logic);
end circuito_base;

architecture circuito_base_comport of circuito_base is
begin
  x <= (a xor b) xor c ;
  y <= (a and b) or (c and (a xor b));
end circuito_base_comport;

library ieee;
use ieee.std_logic_1164.all;

entity circuito_completo is
```

```

port (a, b: in std_logic_vector(3 downto 0);
      d : in std_logic;
      x: out std_logic_vector (3 downto 0);
      z, v: out std_logic);
end circuito_completo;

architecture circuito_completo_comport of circuito_completo is
  signal c: std_logic_vector (4 downto 0);
  component circuito_base
    port(a, b, c: in std_logic;
         x, y: out std_logic);
  end component;
begin
  FA0: circuito_base
    port map (a(0), b(0),    d, x(0), c(1));
  FA1: circuito_base
    port map (a(1), b(1), c(1), x(1), c(2));
  FA2: circuito_base
    port map (a(2), b(2), c(2), x(2), c(3));
  FA3: circuito_base
    port map (a(3), b(3), c(3), x(3), c(4));
  v <= c(3) xor c(4);
  z <= c(4);
end circuito_completo_comport;

```