

Abaixo estão duas questões que devem ser respondidas da forma mais completa possível. A prova vale 100 pontos e o valor de cada questão está indicado no final do enunciado. A interpretação do enunciado é parte da resposta. As respostas devem ser completas, sucintas e objetivas. RESPOSTAS ILEGÍVEIS SERÃO CONSIDERADAS ERRADAS.

1) Considere o processador multiciclo descrito no capítulo 5 do livro texto. Algumas das unidades funcionais completam suas tarefas em 50ps, 100ps e 200ps. O projeto no livro pressupõe um relógio de 200ps, que é o pior caso. Um projeto alternativo consiste em usar um relógio de 100ps, no qual as unidades funcionais mais lentas usam dois ciclos de 100ps para completar suas tarefas, já que elas necessitam de 200ps para tal. Por exemplo, no projeto do livro, uma instrução LW consome 5 ciclos de 200ps; no projeto alternativo, ela consumiria 8 ciclos de 100ps: 2 na busca, 1 na decodificação, 2 na execução, 2 no acesso à memória, e 1 para gravar o resultado. A frequência de execução de instruções: lw 25%, sw%, beq 20%, alu 38%, j 2%

- (a) Para os dados acima, qual a CPI para cada arquitetura? (4pts)  
 (b) Qual a arquitetura mais rápida? (1pts)

OBS: É preciso calcular a CPI corretamente.

2) Neste exercício nós examinamos como os riscos estruturais, riscos de controle e o projeto da ISA (conjunto de instruções) podem afetar a execução em pipeline. Para isso, considere a sequência de instruções em MIPs abaixo:

X.	lw \$5, -16(\$5)
	sw \$4, -16(\$4)
	lw \$3, -20(\$4)
	beq \$2, \$0, Label : Assume \$2 == \$0
	add \$5,\$1, \$4

- (a) Assumindo que todos os desvios são perfeitamente previstos (isto elimina todos os riscos de controle) e que nenhum intervalo de atraso (delay slots) é usado. Se nós temos apenas uma memória (para instrução e dados), há um risco estrutural toda vez que nós precisamos buscar uma instrução no mesmo ciclo em que uma outra instrução acessa os dados. Para garantir a continuidade do pipeline, este risco deve ser solucionado em favor da instrução que acessa os dados. Qual é o tempo total de execução da sequência no pipeline de cinco estágios que só tem uma memória? (5pts) Nós sabemos que riscos de dados podem ser eliminados ao adicionar "nops" ao código. Nós podemos fazer o mesmo com este risco estrutural? Explique (5pts).
- (b) Assumindo que todos os desvios são perfeitamente previstos (isto elimina todos os riscos de controle) e que nenhum intervalo de atraso (delay slots) é usado. Se nós modificarmos as instruções load/store para um registrador (Sem offset/deslocamento) como o endereço, essas instruções não precisariam mais usar a ALU. Como consequência, os estágios MEM e EX poderiam ser sobrepostos e o pipeline teria apenas quatro estágios. Modifique o código para acomodar essa ISA modificada (5 pts). Assumindo que essas mudanças não afetarão o tempo do ciclo do clock, qual a aceleração obtida para a sequência de instruções? (5pts)
- (c) Assumindo bloqueio no desvio (stall-on-branch) e nenhum intervalo de atraso (delay slots), que aceleração é obtida na sequência de instruções se os resultados dos desvios forem determinados no estágio ID em relação a execução quando os resultados dos desvios forem determinados no estágio EX? (5pts)

Os itens restantes nesta questão assumem que os estágios do pipeline têm as seguintes latências:

	IF	ID	EX	MEM	WB
X.	180ps	100ps	170ps	220ps	60ps

- (d) Dada essas latências dos estágios do pipeline, repita o cálculo de aceleração do item b acima, mas leve em conta as mudanças no ciclo do clock. Quando EX e MEM são feitas num único estágio, muitos dos seus trabalhos podem ser feitos em paralelo. Logo, o estágio EX/MEM resultante tem uma latência que é maior do que os dois originais, um acréscimo de 20ps são necessários para os