

Abaixo estão duas questões que devem ser respondidas da forma mais completa possível. A prova vale 100 pontos e o valor de cada questão está indicado no final do enunciado. A interpretação do enunciado é parte da resposta. As respostas devem ser completas, sucintas e objetivas. RESPOSTAS ILEGÍVEIS SERÃO CONSIDERADAS ERRADAS.

1) Neste exercício nós examinamos como os riscos estruturais, riscos de controle e o projeto da ISA (conjunto de instruções) podem afetar a execução em pipeline. Para isso, considere a sequência de instruções em MIPs abaixo:

a.	lw \$5, -16(\$5) sw \$4, -16(\$4) lw \$3, -20(\$4) beq \$2, \$0, Label : Assume \$2 != \$0 add \$5,\$1, \$4
----	---

- (a) Assumindo que todos os desvios são perfeitamente previstos (isto elimina todos os riscos de controle) e que nenhum intervalo de atraso (delay slots) é usado. Se nós temos apenas uma memória (para instrução e dados), há uma risco estrutural toda vez que nós precisamos buscar uma instrução no mesmo ciclo em que uma outra instrução acessa os dados. Para garantir a continuidade do pipeline, este risco deve ser solucionado em favor da instrução que acessa os dados. Qual é o tempo total de execução da sequência no pipeline de cinco estágios que só tem uma memória? (5pts) Nós sabemos que riscos de dados podem ser eliminados ao adicionar “nops” ao código. Nós podemos fazer o mesmo com este risco estrutural? Explique (5pts).
- (b) Assumindo que todos os desvios são perfeitamente previstos (isto elimina todos os riscos de controle) e que nenhum intervalo de atraso (delay slots) é usado. Se nós modificarmos as instruções load/store para um registrador (Sem offset/deslocamento) como o endereço, essas instruções não precisariam mais usar a ALU. Como consequência, os estágios MEM e EX poderiam ser sobrepostos e o pipeline teria apenas quatro estágios. Modifique o código para acomodar essa ISA modificada (5 pts). Assumindo que essas mudanças não afetarão o tempo do ciclo do clock, qual a aceleração obtida para a sequência de instruções? (10pts)
- (c) Assumindo bloqueio no desvio (stall-on-branch) e nenhum intervalo de atraso (delay slots), que aceleração é obtida na sequência de instruções se os resultados dos desvios forem determinados no estágio ID em relação a execução quando os resultados dos desvios forem determinados no estágio EX? (5pts)

Os itens restantes nesta questão assumem que os estágios do pipeline têm as seguintes latências:

	IF	ID	EX	MEM	WB
a.	100ps	120ps	90ps	130ps	60ps

- (d) Dada essas latências dos estágios do pipeline, repita o cálculo de aceleração do item b acima, mas leve em conta as mudanças no ciclo do clock. Quando EX e MEM são feitas num único estágio, muitos dos seus trabalhos podem ser feitos em paralelo. Logo, o estágio EX/MEM resultante tem uma latência que é maior do que os dois originais, um acrescimento de 20ps são necessários para os trabalhos que não puderam ser feito em paralelo. (10pts)
- (e) Dada essas latências dos estágios do pipeline, repita o cálculo de aceleração do item c acima, levando em conta as mudanças no ciclo do clock. Assuma que a latência do estágio ID aumenta 50% e a latência do estágio EX diminui por 10ps quando a resolução do resultado do desvio é movido de EX para ID. (10pts)
- (f) Assumindo bloqueio no desvio (stall-on-branch) e nenhum intervalo de atraso (delay slots), qual é o novo tempo do ciclo do clock e o tempo de execução da sequência de instruções se a computação do endereço de beq é movido para o estágio MEM? (5pts) Qual é a aceleração desta mudança? (5pts) Assuma que a latência do estágio EX é reduzida em 20ps e a latência do estágio MEM não é modificada quando a resolução do resultado do desvio é movido de EX para MEM.

2) Assumindo um processador pipeline básico de cinco estágios (arquitetura harvard), examine as dependências de dados que afetam a execução no processador. Para isso, considere as sequências de instruções abaixo e responda os itens a seguir.

a. lw \$5, -16(\$5)  
 sw \$5, -16(\$5)  
 add \$5, \$5, \$5

- (a) Indique as dependências e seus tipos (5pts).  
 (b) Assuma que não existe adiantamento neste processador pipeline. Indique os riscos e adicione instruções “nop” para eliminá-los (5pts).  
 (c) Assuma que existe adiantamento completo. Indique os riscos e adicione instruções “nop” para eliminá-las (5pts).

Os demais itens abaixo assumem os seguintes tempos de ciclo do relógio:

	Sem Adiantamento	Com adiantamento Completo	Com apenas adiantamento ALU-ALU
a.	300ps	400ps	360ps

- (d) Qual é o tempo total de execução para cada sequência de instruções considerando sem adiantamento e com adiantamento completo? (5pts) Qual é a aceleração obtida ao adicionar adiantamento completo ao pipeline que não tinha adiantamento? (5pts)  
 (e) Adicione instruções “nop” aos códigos para eliminar os riscos, assumindo que exista apenas adiantamento ALU-ALU (nenhum adiantamento do estágio MEM para o estágio EX). (5pts)  
 (f) Qual é o tempo total de execução para cada sequência de instruções considerando apenas adiantamento ALU-ALU? (5pts) Qual é a aceleração em relação ao pipeline sem adiantamento? (5pts)