

UNIVERSIDADE FEDERAL DO PARANÁ
 DEPARTAMENTO DE INFORMÁTICA
 CURSO DE CIÊNCIA DA COMPUTAÇÃO
 CI212-Organização e Arquitetura de Computadores
 Prova P2 - 09/10/2012
 Prof. Eduardo Todt

Nome: _____
 GRR: _____

As questões devem ser respondidas da forma mais completa possível, individualmente. A interpretação do enunciado é parte da resposta. As respostas devem ser completas, sucintas e objetivas. Respostas ilegíveis serão consideradas erradas. As respostas podem ser a lápis, resguardado o direito de o professor contestar pedidos de revisão se houver indícios de alteração após a vista da prova pelo(a) aluno(a).

O IEC (International Electrotechnical Commission) regulamentou 2000 novo padrão (IEC 1541) para prefixos de quantidades na representação de informação digital, evitando confusões com os prefixos do sistema SI com base decimal:

kibibyte KiB 2^{10}
 mebibyte MiB 2^{20}
 gibibyte GiB 2^{30}
 tebibyte TiB 2^{40}
 pebibyte PiB 2^{50}
 exbibyte EiB 2^{60}

Q1) Um ISA suporta um endereçamento (virtual) com 36b e sua memória física RAM de 2GiB é dividida em páginas de 2KiB.

a) [8pts] Quantos bits endereçam a página virtual (VPN -Virtual Page Number)?

b) [8pts] Quantos bits endereçam a página física (PPN - Physical Page Number)?

c) [10pts] Se os flags (válido, sujo, usado, direitos) ocupam 12 bits por entrada, quantos bits há ao total na tabela de páginas?

Q2) [24pts] Um processador possui endereçamento de 16 bits, páginas de 256 bytes, e uma TLP completamente associativa com troca LRU (com 3 bits, codificando o uso de páginas, sendo zero a mais recente; o sistema de controle zera o valor dos bits LRU da página acessada e incrementa os demais, rotacionando em 111). Em caso de empate nos bits LRU, tem prioridade a para ser dealocada a página que não está suja, pois a penalidade é menor. É mostrado o estado do TLB em um dado momento. Preencha os

TLB considerando os acessos na sequência a seguir, e considerando que há as seguintes páginas físicas livres, que devem ser utilizadas nesta ordem: 0x17, 0x18, 0x19. O flag "valid" em '1' significa página válida e o flag "dirty" em '1' significa página escrita (suja). Atualize os campos alterados, de forma que a tabela mostre o estado atual após cada acesso.

Inicial:

VPN	PPN	valid	dirty	LRU
0x01	0x11	1	1	0
0x00	0x00	0	0	7
0x10	0x13	1	1	1
0x20	0x12	1	0	4
0x00	0x00	0	0	7
0x11	0x14	1	0	4
0xae	0x15	1	1	2
0xff	0x16	1	0	3

a) Read 0x11f0:

VPN	PPN	valid	dirty	LRU
0x01	0x11	1	1	0
0x00	0x00	0	0	7
0x10	0x13	1	1	1
0x20	0x12	1	0	4
0x00	0x00	0	0	7
0x11	0x14	1	0	4
0xae	0x15	1	1	2
0xff	0x16	1	0	3

b) Write 0x1301:

VPN	PPN	valid	dirty	LRU
0x00	0x00	1	0	0
0x10	0x10	1	0	1
0x20	0x20	1	0	2
0x30	0x30	1	0	3
0x40	0x40	1	0	4
0x50	0x50	1	0	5
0x60	0x60	1	0	6
0x70	0x70	1	0	7
0x80	0x80	1	0	8
0x90	0x90	1	0	9
0xa0	0xa0	1	0	10
0xb0	0xb0	1	0	11
0xc0	0xc0	1	0	12
0xd0	0xd0	1	0	13
0xe0	0xe0	1	0	14
0xf0	0xf0	1	0	15

e) Read 0x20ff:

VPN	PPN	valid	dirty	LRU
0x00	0x00	1	0	0
0x10	0x10	1	0	1
0x20	0x20	1	0	2
0x30	0x30	1	0	3
0x40	0x40	1	0	4
0x50	0x50	1	0	5
0x60	0x60	1	0	6
0x70	0x70	1	0	7
0x80	0x80	1	0	8
0x90	0x90	1	0	9
0xa0	0xa0	1	0	10
0xb0	0xb0	1	0	11
0xc0	0xc0	1	0	12
0xd0	0xd0	1	0	13
0xe0	0xe0	1	0	14
0xf0	0xf0	1	0	15

c) Write 0x20ae:

VPN	PPN	valid	dirty	LRU
0x00	0x00	1	0	0
0x10	0x10	1	0	1
0x20	0x20	1	0	2
0x30	0x30	1	0	3
0x40	0x40	1	0	4
0x50	0x50	1	0	5
0x60	0x60	1	0	6
0x70	0x70	1	0	7
0x80	0x80	1	0	8
0x90	0x90	1	0	9
0xa0	0xa0	1	0	10
0xb0	0xb0	1	0	11
0xc0	0xc0	1	0	12
0xd0	0xd0	1	0	13
0xe0	0xe0	1	0	14
0xf0	0xf0	1	0	15

f) Write 0x3415:

VPN	PPN	valid	dirty	LRU
0x00	0x00	1	0	0
0x10	0x10	1	0	1
0x20	0x20	1	0	2
0x30	0x30	1	0	3
0x40	0x40	1	0	4
0x50	0x50	1	0	5
0x60	0x60	1	0	6
0x70	0x70	1	0	7
0x80	0x80	1	0	8
0x90	0x90	1	0	9
0xa0	0xa0	1	0	10
0xb0	0xb0	1	0	11
0xc0	0xc0	1	0	12
0xd0	0xd0	1	0	13
0xe0	0xe0	1	0	14
0xf0	0xf0	1	0	15

Write 0x2332:

VPN	PPN	valid	dirty	LRU
0x00	0x00	1	0	0
0x10	0x10	1	0	1
0x20	0x20	1	0	2
0x30	0x30	1	0	3
0x40	0x40	1	0	4
0x50	0x50	1	0	5
0x60	0x60	1	0	6
0x70	0x70	1	0	7
0x80	0x80	1	0	8
0x90	0x90	1	0	9
0xa0	0xa0	1	0	10
0xb0	0xb0	1	0	11
0xc0	0xc0	1	0	12
0xd0	0xd0	1	0	13
0xe0	0xe0	1	0	14
0xf0	0xf0	1	0	15

Q3) Projete uma cache com 256KiB de capacidade, 2-way associative, tamanho de bloco 16 bytes, escrita write-back ("preguiçosa").

a) [20pts] Indique como um endereço de 32 bits é interpretado pelo sistema de cache. Desenhe diagrama explicativo com todos componentes envolvidos na tradução de endereço. Considere flags de válido (1 bit), sujo (1 bit) e usado - LRU (3 bits).

b) [10pts] Quantos bits no total possui esta cache?

c) [10pts] Quantos bits de dados possui esta cache?

Q4) [10pts] Suponha que o seguinte código executa em um MIPS single-core, single thread, sem ocorrência de interrupções ou excessões, com memória virtual e memória física de 1GiB. Resultou que \$s0 e \$s1 ao final possuem valores diferentes. O que pode ter acontecido?

```
lw $s0, 0($gp)
```

```
sw $zero, 8192($gp)
```

```
lw $s1, 0($gp)
```