

UFPR - Depto de Informática
CI212 - Organização e Arquitetura de Computadores

Primeira Prova de 2000-1

- 1) Mostre e justifique a codificação (formato e largura dos campos) das instruções do processador MIPS. [2,5 pontos]
- 2) Faça um diagrama mostrando os formatos dos números codificados em ponto flutuante com formato "float" e formato "double". Qual a precisão de cada formato? Por que? [2,5 pontos]
- 3) Descreva detalhadamente o protocolo de chamada de funções empregado no MIPS. Mostre os fragmentos de código necessários para implementar o protocolo "callee save" (a função chamada salva). [5 pontos]
- 4) Suponha que você tem a sua disposição um circuito que soma quatro números de 32 bits cada um, e produz um resultado de 34 bits ($S=A+B+C+D$). Mostre como o circuito multiplicador pode ser implementado com este somador de forma a reduzir o número de ciclos necessários para produzir um resultado ($P=X*Y$). Desenhe o diagrama do multiplicador e descreva o novo algoritmo (em pseudocódigo). [5 pontos]
- 5) Considere o segmento de código C, e sua tradução para o MIPS, abaixo

```

while (save[i] == k) # i,j,k em $s3,$s4,$s5; &(save[0]) em $s6
    i = i + j;      LOOP:  add $t1, $s3, $s3
                    add $t1, $t1, $t1
                    add $t1, $t1, $s6
                    lw  $t0, 0($t1)
                    bne $t0, $s5, EXIT
                    add $s3, $s3, $s4
                    j   LOOP
EXIT:

```

Reescreva a versão em código de máquina para que seja executado no máximo um desvio ou salto a cada volta do laço. Quantas instruções são executadas em cada uma das versões (a sua e a acima), supondo que ocorram 100 voltas no laço? Isto é, o primeiro elemento de save[] diferente de 'k' está na posição 'i+100*j'. [5 pontos]

Segunda Prova de 2000-1

- 1) Considere duas implementações (M1 e M2) de um conjunto de instruções com quatro classes de instruções, mostradas abaixo. Para cada uma das implementações, a tabela mostra o número médio de ciclos dispendidos na execução das instruções da classe. A tabela também mostra a frequência (%) com que as instruções ocorrem num certo programa.

classe	CPI M1	CPI M2	frequência
A	1	2	20
B	2	3	35
C	3	2	30
D	4	4	15

A frequência do relógio de M1 é 200MHz; de M2 é 250MHz. Qual é o desempenho, em instruções por segundo, de M1 e M2? [5 pontos]

2) Considere um novo modo de endereçamento a ser adicionado ao conjunto de instruções do MIPS. Neste modo, o primeiro operando e o resultado são o mesmo registrador e o segundo operando é buscado em memória. Por exemplo, a instrução 'addm' é definida como

```
addm $r, desloc($s)    # $r = $r + Mem[ desloc + $s ]
```

2.a) Mostre como implementar a instrução 'addm' no processador visto em aula, similar mas não idêntico ao processador com relógio multiciclo do Capítulo 5. Adicione quaisquer circuitos necessários e mostre o ramo da máquina de estados que controla a execução desta instrução. [10 pontos]

2.b) Explique porque seria difícil acrescentar esta instrução ao processador segmentado do Capítulo 6. Use no máximo 25 linhas de texto. [5 pontos]

3) Considere um processador superescalar com estágio de execução com uma ULA completa, um circuito somador/subtrator e um circuito multiplicador/divisor para inteiros. Existem três unidades de extensão de sinal ligadas a uma entrada de cada um destes três circuitos. O estágio de memória permite uma leitura e uma escrita no mesmo ciclo. Liste todas as seqüências de instruções que podem ser escalonadas para execução simultânea. Ignore dependências de controle mas considere que a comparação nos desvios é efetuada em uma das ULAs. [10 pontos]

Terceira Prova de 2000-1

1) Para cada um dos parâmetros de projeto listados abaixo, descreva sua influência no desempenho de um computador. [10 pontos]

- (a) associatividade;
- (b) arquitetura Harvard (instruções e dados em circuitos diferentes);
- (c) segmentação da interface de memória (pipelineing);
- (d) transações multi-fase no barramento de memória (split transactions);
- (e) cache de mapeamento de endereços (TLB).

2) Considere um barramento de memória que interliga uma cache secundária à memória. Os blocos da cache tem 8 palavras de largura e o clock do barramento é de 100MHz (10ns/ciclo). Projete o barramento e o circuito de memória de modo a, simultaneamente, minimizar a latência e maximizar a vazão. Os CIs de memória tem tempo de acesso de 80ns. [15 pontos]

3) Considere um processador com relógio de 500MHz (ciclo de 2ns). Você dispõe de 96kbytes de memória com 1ns de tempo de acesso; 2048kbytes de memória com tempo de acesso de 10ns; RAM dinâmica com tempo de acesso de 60ns, até 4Gbytes. Projete uma hierarquia de memória COMPLETA, que minimize o tempo médio de acesso à memória. Suponha que a memória necessária para implementar as etiquetas existe em abundância e com tempo de acesso adequado ao seu uso. As páginas tem 8kbytes. Ignore o projeto detalhado das filas de escrita, apenas indique sua localização. [25 pontos]

Exame Final de 2000-1

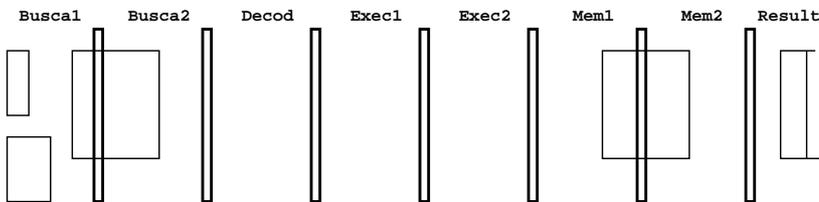
1) Em uma arquitetura tipo VLIW (Very Long Instruction Word), como o processador Crusoe da Transmeta, cada instrução têm 128 ou mais bits de largura. Dê uma possível organização para um processador VLIW e discuta as diferenças entre este e um processador super-escalar (com instruções de 32 bits). [20 pontos]

2) Considere um projeto alternativo para o processador segmentado discutido no Capítulo 6 do livro texto. No projeto alternativo, o processador consiste de oito estágios e cada estágio dura 5ns, como mostrado no diagrama abaixo. Nos itens (a) e (b) abaixo considere a seguinte distribuição no tempo (frequência de execução) de instruções:

instr.	freq.	resultado em
LD	30%	Result - Seg8
ST	10%	Mem1 - Seg6
ADD,SUB	20%	Exec2 - Seg5
lógica	15%	Exec1 - Seg4
desvios	25%	Exec2 - Seg5

(a) A execução de determinado programa no processador de cinco segmentos do Capítulo-6, com a distribuição de instruções da tabela acima, relógio de 200MHz (clock de 5ns) e CPI igual a 1.50, consome 5 segundos. Ocorrem bolhas somente por dependências de controle. Qual proporção dos desvios é tomada? [20 pontos]

(b) O processador do diagrama acima possui relógio de 200MHz e executa o programa do item (a) em 3 segundos. Isso é possível? Por que? [20pts]



3) Considere o programa de multiplicação de matrizes abaixo. As matrizes contém 2048x2048 elementos, cada elemento um double (8 bytes). O programa é executado num único processador, num sistema de memória virtual com páginas de 8Kbytes. Existe uma cache primária com 64Kbytes e uma cache secundária com 1Mbytes. As linhas de cache tem 32 bytes de largura e as transferências ocorrem em quatro ciclos por rajada. [40 pontos]

(a) Descreva o comportamento da hierarquia de caches durante a execução deste programa (ignore memória virtual neste item).

(b) Descreva o comportamento do sistema de memória virtual durante a execução deste programa (ignore memória cache neste item).

```

for (i = 0; i < 1024; i++) {
  for (j = 0; j < 1024; j++) {
    for (sum = 0, k = 0; k < 1024; k++)
      sum += a[i][k] * b[k][j];
    c[i][j] = sum;
  }
}

```