

UFPR - DInf - Bacharelado em Informática
CI212 - Organização e Arquitetura de Computadores

Primeira Prova de 2000-2 (01set00)

1) Mostre a codificação do número DEZ na representação binária IEEE-754 nos formatos float e double. [5 pontos]

2) Encontre a menor seqüência de instruções do MIPS para determinar se há "vai-um" na soma dos conteúdos de dois registradores. O seu código deve colocar 0 ou 1 no registrador \$1 se o vai-um é 0 ou 1, respectivamente. [5 pontos]

3) Mostre o código MIPS necessário para implementar o seguinte comando C:
int x[NNN], y[MMM]; [5 pontos]
a = x[10] + x[y[3]];

4) Descreva *todos* os modos de endereçamento suportados pela linguagem de montagem do processador MIPS. Desenhe diagramas mostrando os componentes do endereço efetivo de cada um dos modos. [5 pontos]

Segunda Prova de 2000-2 (20out00)

1) Considere um novo modo de endereçamento a ser adicionado ao conjunto de instruções do MIPS. Neste modo, o primeiro operando e o resultado são a mesma posição em memória e o segundo operando é o conteúdo de um registrador. Por exemplo, a instrução 'addmm' é definida como

```
addmm desloc($s), $r      # Mem[ desloc + $s ] += $r
```

Mostre como implementar a instrução 'addmm' no processador visto em aula, similar mas não idêntico ao processador com relógio multiciclo do Capítulo 5. Adicione quaisquer circuitos necessários e mostre o ramo da máquina de estados que controla a execução desta instrução. [10 pontos]

2) Considere o seguinte programa, ao ser executado no processador do Capítulo 6.

```
      # suponha que $20 contém 1000
      mov     $5, $0
Sum:   lw     $10, 0($20)
      add    $5, $5, $10
      addiu  $20, $20, -4
      bne   $20, $0, Sum
```

a) Considere o circuito mais básico, sem adiantamento. Acrescente ao código o que for necessário para garantir a execução correta deste programa no processador. Qual o número total de ciclos necessários para computar a redução do vetor apontado por \$20? [5 pontos]

b) Otimize o código para reduzir o número de ciclos. Qual o novo número total de ciclos? [5 pontos]

3) Você deve projetar uma memória cache de forma a, simultaneamente, *maximizar* o desempenho, pela redução do tempo médio de acesso à memória, e *minimizar* o custo total do seu projeto.

A cache deve ter capacidade total de 4 megabytes. O custo por bit empregado no armazenamento de dados é de uma unidade monetária (1,0 UM). A memória usada na etiqueta é mais cara porque seu tempo de acesso é menor; seu custo por bit é 2,0 UM. Cada bit de comparador custa 2,0 UM (compara dois bits). É sabido que a cada duplicação no módulo de associatividade, a taxa de acertos melhora em um ponto percentual.

Calcule o custo de seu projeto. Não é necessário calcular o valor final, apenas indique a expressão com o custo total.

O processador emite endereços de 32 bits; as palavras têm 32 bits.
[20 pontos]

Terceira Semestral de 2000-2 (27nov00)

1) Considere um sistema de E/S usa entrada e saída por programa para transferir dados da memória para um periférico. Supondo que o programa abaixo é empregado, calcule a taxa máxima de transferência possível com ele (considere transferências de 1024 bytes, alinhados com as linhas de cache). O tempo de acesso à memória é de 10 ciclos numa falta e 2 ciclos num acerto. Um acesso ao barramento de E/S custa 20 ciclos. A cache têm blocos com 8 palavras. Ignore faltas na cache de instruções. O processador possui circuito de adiantamento e previsão de desvios. O clock é de 100MHz (10ns), e o barramento têm largura de uma palavra. [15 pontos]

```

    la    $10, 0x10000000    # endereço do buffer
    la    $20, 0xFFFF0000    # endereço do periférico
    movi  $2, 256           # tamanho do bloco

loop:  lw    $1, 0($10)
       addi $10, $10, 4      # pointer fonte
       addi $2, $2, -1      # contador do loop
       sw   $1, 0($20)      # endereço do periférico
       beq  $2, $0, loop

```

2) Mantendo os dados da seção anterior, considere transferências por acesso direto à memória (DMA). Transferências por DMA desviam da cache. Qual a taxa máxima de transferência possível para blocos de 1024 bytes? O código de inicialização do controlador de DMA é mostrado abaixo. Ignore o custo da interrupção e seu atendimento. [10 pontos]

```

    la    $10, 0x10000000    # endereço do buffer
    la    $20, 0xFFFF0000    # endereço do periférico
    movi  $2, 256           # tamanho do bloco
    la    $9, 0xFFFF0080     # ender controlador de DMA
    sw   $10, FONTE($9)
    sw   $20, DEST($9)
    sw   $2, TAM($9)        # dispara a transferência
    # DMA interrompe ao completar

```

3) Compare os dois métodos acima e discuta as diferenças entre eles.
[5 pontos]

4) Considere um sistema de memória virtual com as seguintes características:
- endereço virtual de 40 bits (endereço de byte);
- páginas com 16Kbytes; e
- endereço físico com 36 bits (endereço de byte).
Qual é o tamanho total da tabela de páginas nesta máquina? Suponha bits de

válido, protegido, sujo e usado. Endereços das páginas em disco não são armazenados na tabela de páginas. [10 pontos]

Exame Final de 2000-2 (11dez00)

1) Mostre o código MIPS necessário para implementar o seguinte comando C:
[25 pontos]

```
int x[NNN], y[MMM];  
  
a = x[10]/32 + x[ (y[3]*8) ];
```

2) Considere o seguinte programa, ao ser executado no processador do Capítulo 6.

```
        # suponha que $20 contém 800  
        # $24 contém o escalar  
Sum:    mov     $5, $0  
        lw     $10, 0($20)  
        mul   $10, $10, $24  # multiplicação em um ciclo  
        add   $5, $5, $10  
        addiu $20, $20, -4  
        bne  $20, $0, Sum
```

a) Considere o circuito mais básico, sem adiantamento. Acrescente ao código o que for necessário para garantir a execução correta deste programa no processador. Qual o número total de ciclos necessários para computar o produto escalar do vetor apontado por \$20? [10 pontos]

b) Otimize o código para reduzir o número de ciclos. Qual o novo número total de ciclos? [10 pontos]

3) Considerando os padrões de referências a código e dados dos programas, qual a melhor organização para a/s cache/s de mapeamentos de endereços (TLB)? Justifique sua resposta (dê um exemplo). [15 pontos]

4) Faça um diagrama DETALHADO de uma cache de mapeamento de endereços ("translation lookaside buffer" ou TLB) com 1024 blocos e associatividade quaternária. Cada bloco contém um mapeamento. Processador emite endereços de 32 bits. O endereço físico possui 36 bits. Indique como um endereço é interpretado pelo controlador da TLB. Páginas virtuais tem 8Kbytes. Qual o tamanho da Tabela de Páginas? [40 pontos]