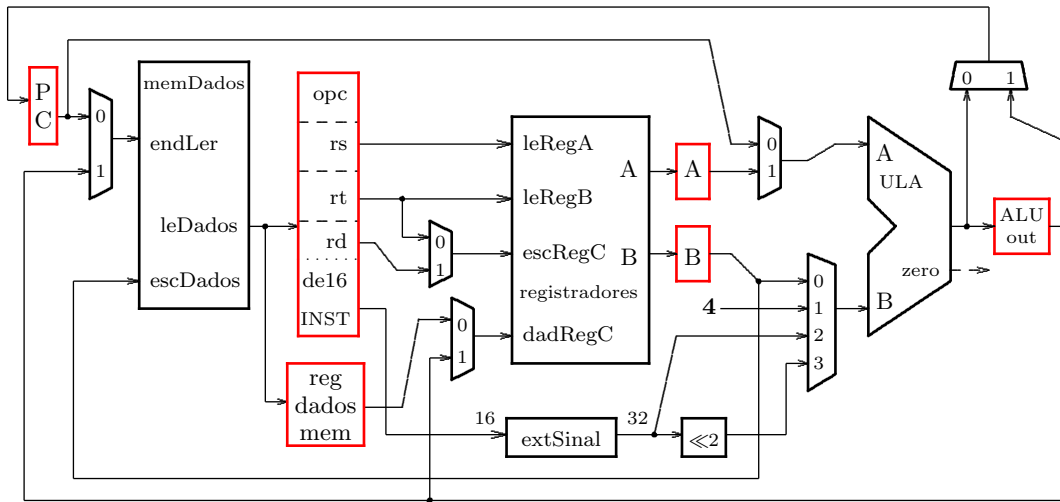
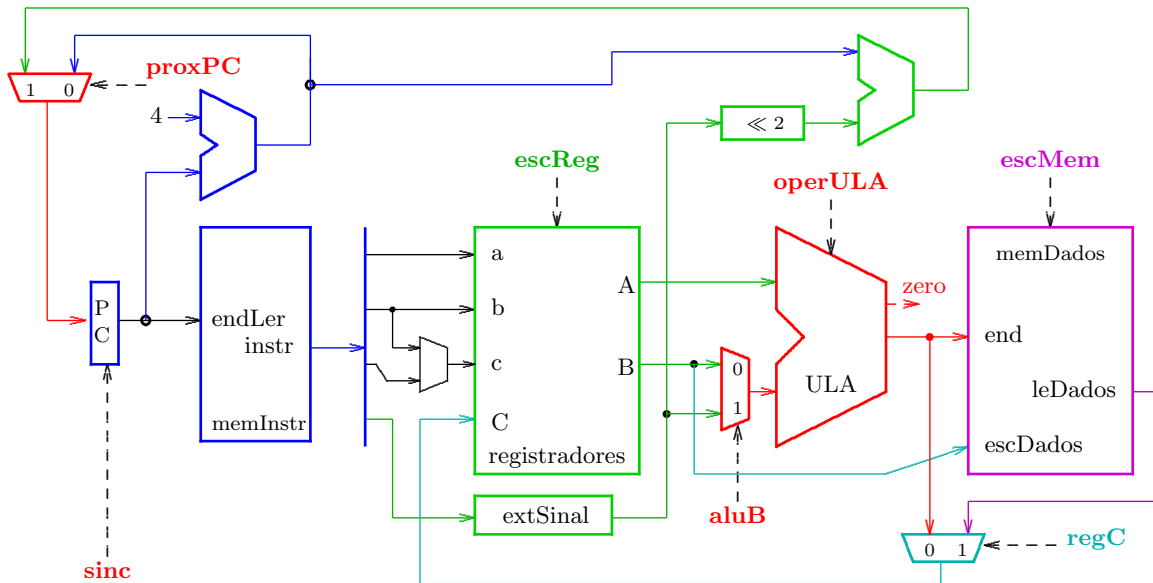


1) O conjunto de instruções de arquiteturas CISC tais como o VAX-11 continham instruções com enorme funcionalidade. Por exemplo, a instrução CALLM é usada para chamadas de função, armazena o endereço de retorno na pilha, empilha todos os registradores identificados num dos campos da instrução, e salta para a função chamada. Mostre como implementar a instrução CALLM na versão multi-ciclo do MIPS. Sua resposta deve conter (i) uma descrição textual completa das ações da instrução, (ii) indicação de quais modificações seriam necessárias no circuito de dados do processador, (iii) a codificação da instrução, e (iv) lista de estados e operações em cada estado, similar a um diagrama de estados. *Pista: o microcontrolador do VAX-11 suportava a chamada de funções no microcódigo; neste caso, um laço talvez seja suficiente.* [20 pontos]

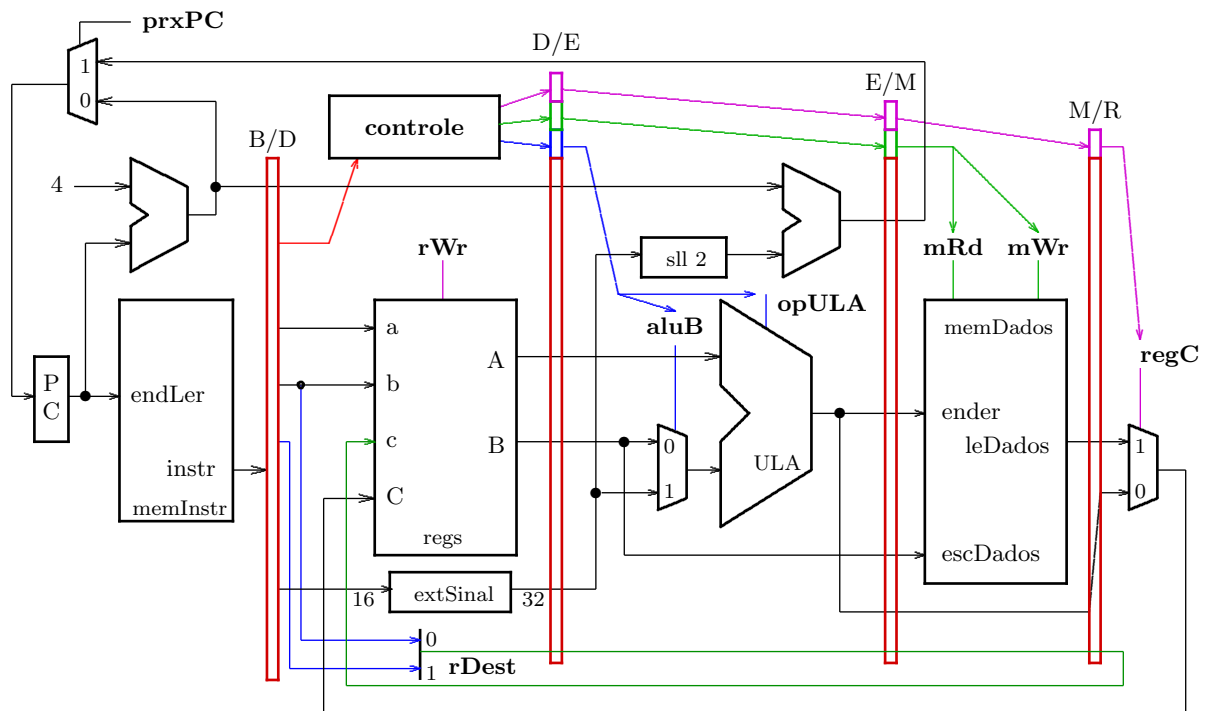


2) Mostre como implementar a instrução JAL (jump-and-link) no processador com ciclo longo. Sua resposta deve conter (i) uma descrição textual completa das ações da instrução, (ii) indicação de quais modificações seriam necessárias no circuito de dados do processador, (iii) um diagrama de tempos completo da execução desta instrução. [10 pontos]



1) Considere a adição, ao processador MIPS segmentado, da instrução *load-update* com o modo de endereçamento *base-deslocamento com pós-incremento*. Neste modo de endereçamento o endereço efetivo é computado ($rb+des1$) e então armazenado no registrador base. Por exemplo, a instrução `lwpi r1,8(r2)` efetua

$r1 \leftarrow M[r2+8] @ r2 \leftarrow r2+8$. (a) Mostre quais recursos adicionais devem ser acrescentados à implementação de cinco estágios. Como ficam os circuitos de adiantamento? (b) Esta adição é vantajosa? Por que? (c) O que se pode dizer quanto a instrução `swpi r1,8(r2)`? [10 pontos]



2) Desenhe um diagrama detalhado de uma memória cache com 1 Mbytes, associatividade octa-ária (8-way set-associative), 16 palavras por bloco, escrita preguiçosa e fila de escrita com capacidade para 4 referências pendentes. O processador emite endereços de 32 bits. Indique como um endereço é interpretado pelo controlador da cache. Indique claramente o dimensionamento dos componentes da cache. [10 pontos]

3) O programa abaixo é executado numa cache infinita, com associatividade total, blocos de 64 bytes, todas as variáveis exceto os vetores `A[]`, `B[]` e `C[]` são mantidos em registradores, e os três vetores são armazenados em posições contíguas em memória. (a) Compute a taxa de faltas para dados; (b) repita para uma cache com mapeamento direto e capacidade de 8 Kbytes; e (c) em cada um dos dois itens anteriores, indique os tipos e as quantidades aproximadas das faltas que ocorrem. [10 pontos]

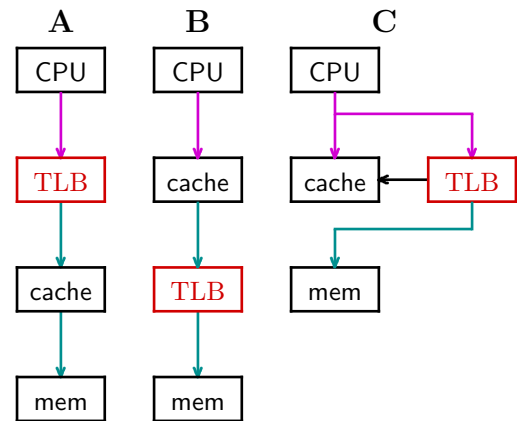
```
double A[1024], B[1024], C[1024];
for (i=0; i<1000; i+=2)
    A[i] = 35.0 * B[i] + C[i+2];
```

Terceira Prova — 2007-1

- 1) Mecanismos para acesso a dispositivos de entrada e saída. [10 pontos]
 - (1a) Descreva sucintamente os mecanismos de *entrada e saída por programa e por interrupção*. Em que situações cada um destes deve ser empregado?
 - (1b) Desenhe um diagrama em blocos (interno) da implementação de um *controlador de acesso à memória (ADM)*, e explique seu funcionamento.
 - (1c) Em que situações um controlador de ADM deve ser usado?

2) Os diagramas ao lado mostram três organizações possíveis para sistemas com caches e memória virtual (TLBs). As setas representam somente as linhas de endereço. [10 pontos]

- (2a) Para cada um dos modelos **A**, **B** e **C**, indique claramente quais são endereços físicos e quais são endereços virtuais.
- (2b) Para cada um dos modelos, descreva clara e sucintamente a seqüência de eventos associados a um *acerto* e a uma *falta* na cache.
- (2c) Discuta as vantagens e desvantagens de cada um dos três modelos.



3) Considere um sistema de memória virtual com as seguintes características: (i) endereço virtual de 32 bits (endereço de byte); (ii) páginas com 4 Kbytes; e (iii) endereço físico com 38 bits. A tabela deve conter bits de válido, read-only, executável, sujo e usado. [10 pontos]

- (3a) Qual é o tamanho de uma tabela de páginas linear nesta máquina?
- (3b) Mostre como implementar a Tabela de Páginas em DOIS níveis.
- (3c) Suponha que na sua implementação do item 3b, 3/4 dos elementos da tabela de primeiro nível sejam nulos. Quais os tamanhos máximo e mínimo do espaço de endereçamento utilizado pelo programa?

Exame Final — 2007-1

1) Considere o seguinte programa, ao ser executado no processador segmentado do Capítulo 6. Explícite quaisquer suposições necessárias para responder a pergunta. [30 pontos]

- (1a) Considere a CPU segmentada mais simples, sem nenhuma forma de adiantamento e nem bloqueios. Acrescente ao código o que for necessário para garantir a execução correta deste programa. Qual o número total de ciclos necessários para armazenar a redução contida em r5?
- (1b) Otimize o código para reduzir o número de ciclos. Qual o novo número total de ciclos? Qual o ganho?
- (1c) Repita (1a) considerando adiantamento.
- (1d) Qual o ganho considerando as respostas de (1b) e (1c)?

```
# r20 = 0x4000.0000
# r21 = 800
mov r5, r0
red: lw r10, 0(r20)
     add r5, r5, r10
     addiu r20, r20, 4
     addiu r21, r21, -4
     bne r21, r0, red
     st r5, -808(r20)
```

2) Mostre como implementar uma nova instrução chamada LDI (*load-indexado*) no processador com ciclo longo, conforme a definição `ldi r1,r2,r3 # r1←mem[r2+r3]`. Sua resposta deve conter (i) uma descrição textual precisa e completa das ações da instrução, (ii) indicação de quais modificações seriam necessárias no circuito de dados do processador, (iii) um diagrama de tempos completo da execução desta instrução. [30 pontos]

Veja o diagrama da primeira prova.

3) Escreva, em pseudocódigo, uma função com o protótipo abaixo que percorre uma tabela de páginas de dois níveis e retorna **1** se a página está em memória, ou **0** numa falta. O endereço físico é atribuído à `*enderfis` num acerto. Explícite quaisquer suposições que forem necessárias. Endereços virtuais são de 32 bits. [30 pontos]

```
int buscatp(void *basetp, void* endervirt, void** enderfis);
```

4) Em sistemas com caches, memória virtual e Controladores de Acesso Direto à Memória (CADM) podem ocorrer problemas na consistência dos dados por conta da atuação em paralelo do processador e do CADM. Explique quais são os problemas que podem ocorrer, e em quais situações eles podem ocorrer. Indique uma possível solução para um dos problemas listados. [20 pontos]