

Primeira Prova

1) Mostre o código MIPS necessário para implementar os comandos em C abaixo:

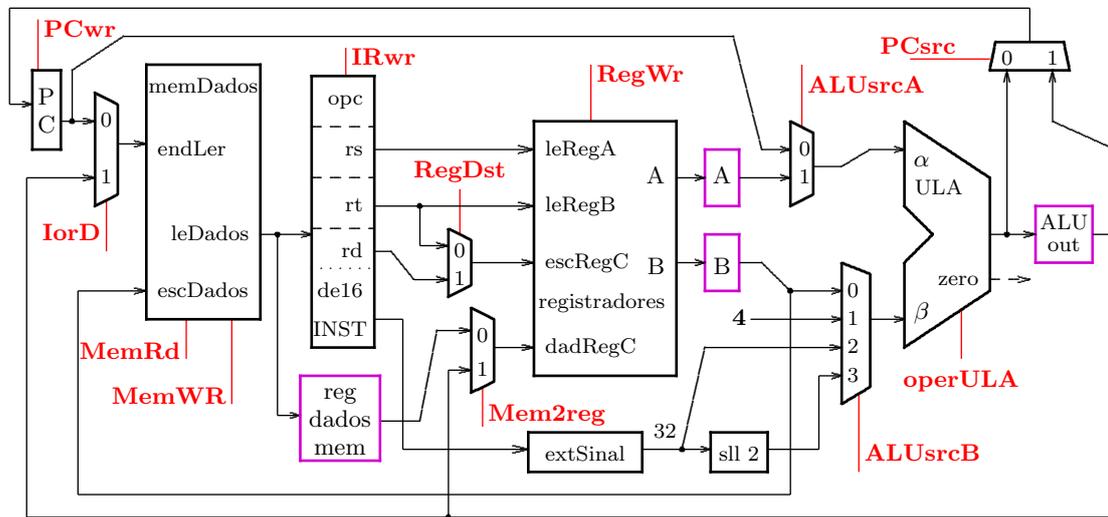
```
int a, *b, i, j, x[N], y[M], z[P];
a = 16 / y[ -33000 + i ];
b = &(x[ y[ z[j]+2 ] ]);
```

[10 pontos]

2) Considere a adição, ao processador MIPS multiciclo, da instrução *load-update* com o modo de endereçamento *base-deslocamento com pós-incremento*. Neste modo de endereçamento o endereço efetivo é computado ($rb+des1$) e então armazenado no registrador base. Por exemplo, a instrução `lwpi r1,8(r2)` efetua $r1 \leftarrow M[r2+8]$, $r2 \leftarrow r2+8$.

- (a) Mostre quais recursos adicionais devem ser acrescentados à implementação;
- (b) indique quais operações ocorrem em cada estado e quais sinais controle estão ativos;
- (c) o que se pode dizer quanto a utilidade da instrução `swpi r1,8(r2)` ?

[15 pontos]



3) Considere o processador multiciclo do Capítulo 5. Um programa tem a seguinte mistura de instruções: alu 25%, lw 25%, sw 25%, beq 25%. Considere as três implementações do processador listadas e responda: (a) qual das três é a mais rápida? (b) existem misturas de instruções que fariam outra máquina mais rápida? Se sim, qual/quais?

[5 pontos]

- (i) o processador visto em aula (diagrama), com clock de 1GHz (1ns);
- (ii) um processador similar ao do item (i), exceto que a atualização dos registradores ocorre no mesmo tick de relógio em que uma leitura de memória, ou uma operação de ULA completam. Esta versão tem clock de 800MHz (1,25ns) porque a atualização dos registradores alonga o ciclo do relógio.
- (iii) um processador similar ao do item (ii), exceto que o cálculo do endereço efetivo ocorre no mesmo ciclo em que o acesso à memória. Esta versão possui clock de 500MHz (2ns) por causa do longo intervalo necessário para o cálculo do endereço e o acesso à memória.

Segunda Prova

1) Esta questão tem três itens: (i) traduza o trecho de programa em C para assembly do MIPS; (ii) compute o número de ciclos para a execução correta da versão traduzida num processador segmentado SEM ADIANTAMENTO e SEM DETECÇÃO DE RISCOS DE DADOS; (iii) indique as dependências de dados e re-organize o código para que ele execute no menor número de ciclos possível. Qual o número de ciclos da versão otimizada? Note que valores de tipo float são armazenados nos registradores f0 a f31. [10 pontos]

Para facilitar a correção indique os registradores como ri, fp, etc.

```
#define N 1024

float A[N]; float B[N];
float p; int i;

p=0.0;
for (i=0 ; i < N ; i++)
    p += A[i] * B[i];
```

2) Considere uma hierarquia de memória que serve a um processador segmentado de cinco estágios com caches separadas de primeiro nível (L1i e L1d), cache unificada de segundo nível (L2) e memória DRAM. (i) Indique claramente o comportamento da hierarquia de memória na execução do programa acima —suponha que os vetores estão inicialmente carregados e inicializados em DRAM; (ii) defina (esboce) um projeto para a cache de dados e justifique sua escolha —seu projeto deve incluir uma fila de escrita. [15 pontos]

3) Esta questão tem três itens: (i) projete uma cache de instruções com 32 Kbytes, com 8 instruções por bloco e associatividade tal que os bits de índice, de palavra e de byte totalizem 12 bits; (ii) mostre como integrar um previsor de desvios ao seu projeto de cache; (iii) descreva precisamente o que acontece com sua cache+previsor quando um desvio é previsto corretamente, e quando a previsão é errada, e as informações no previsor devem ser atualizadas —para este item considere um processador como o do diagrama acima. [15 pontos]

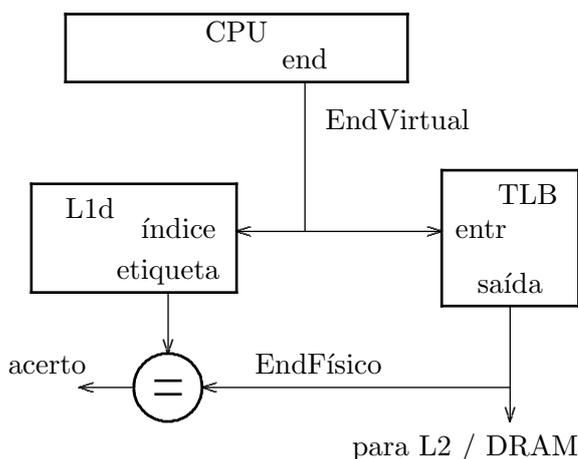
Terceira Prova

1) Descreva **precisa e sucintamente** um sistema de memória virtual: [12 pontos]
 (i) seus componentes de *hardware* (forma e função);
 (ii) seus componentes de *software* (forma e função);
 (iii) enumere e descreva as principais funções do sistema de memória virtual de uma máquina de uso geral (servidor de computação).

2) Para cada uma das técnicas de projeto de sub-sistemas de Entrada e Saída listadas abaixo, indique as situações em que seu uso traz vantagens, ou desvantagens, do ponto de vista do desempenho global do sistema. Considere que o sistema possui um processador super-escalar e caches. Explícite quaisquer suposições usadas em sua resposta. [6 pontos]

- (i) entrada e saída por programa (programmed I/O);
- (ii) entrada e saída por interrupções;
- (iii) entrada e saída por interrupções e DMA (acesso direto à memória).

3) A figura abaixo mostra somente o circuito de endereços de um sistema com memória virtual com cache primária de dados, cache secundária e memória dinâmica (DRAM). Descreva a operação e justifique **cuidadosamente** este projeto. Ignore a cache de instruções. [12 pontos]



Exame final

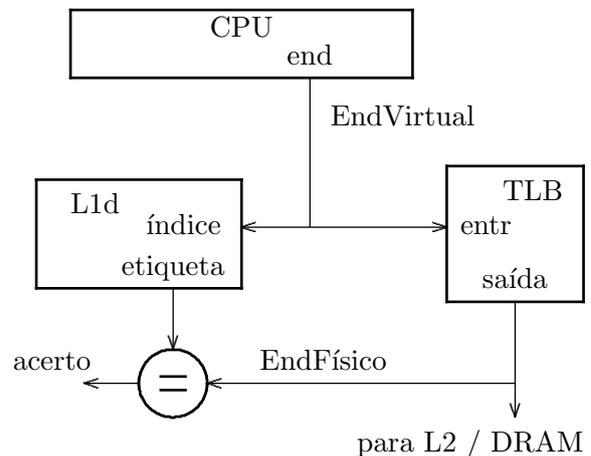
1) Esta questão tem quatro itens: (i) traduza o trecho de programa em C para assembly do MIPS; (ii) indique as dependências de dados no seu código assembly; (iii) compute o número de ciclos para a execução correta da versão traduzida num processador segmentado SEM ADIANTAMENTO e SEM DETECÇÃO DE RISCOS DE DADOS; (iv) re-organize o código para que ele execute no menor número de ciclos possível. Qual o número de ciclos da versão otimizada? [30 pontos]
 Para facilitar a correção indique os registradores como *ri*, *rv*, etc.

```
#define N 1024
int v[N];
int max, count, i;

count = 0;
max = v[0];
for ( i=1; i < N; i++ )
  if ( v[i] > max )
    max = v[i];
  else
    count += 1;
```

2) Esta questão tem três itens: (i) descreva em C a estrutura de dados que corresponde aos registradores de um controlador de ADM (acesso direto à memória) como aquele discutido em sala; (ii) escreva em C com comentários a rotina para programar seu controlador de forma a que ele execute a cópia de uma página do disco para o endereço 0x9000.0000; (iii) escreva em C com comentários a rotina de tratamento da interrupção gerada pelo CADM quando este termina a transferência. [30 pontos]

3) A figura ao lado mostra somente o circuito de endereços de um sistema com memória virtual com cache primária de dados, cache secundária e memória dinâmica (DRAM). Páginas tem 4Kbytes. Ignore a cache de instruções. (i) Projete a cache de dados (L1d) para que ela seja indexada com os bits de deslocamento do endereço virtual, com capacidade para 32Kbytes e 4 palavras por bloco. (ii) Justifique **cuidadosamente** este projeto, especialmente a razão para indexar com o deslocamento. [20 pontos]



4) Supondo que as escritas sejam uniformemente distribuídas no tempo, e que a memória DRAM tem tempo de acesso de 100ns, qual é a frequência máxima do relógio de uma CPU que mantém o máximo desempenho possível com uma cache L1 com mapeamento direto e escrita forçada (*write-through*)? Se existe fila de escrita, qual o tamanho desta? Explícite quaisquer outras informações necessárias para sua resposta. [20 pontos]