

**UFPR - DInf - Bacharelado em Informática**  
**CI210 - Projetos Digitais e Microprocessadores**

**Prova Semestral de 2002-1**

1) Projete um circuito seqüencial síncrono, com uma entrada de dados D, uma saída N com oito bits (contador), uma entrada de relógio 'ck', e uma entrada de reset. Após o reset, sempre que o circuito detectar seqüência contígua com de cinco bits em UM, a saída C deve ser incrementada. Faça um diagrama detalhado de seu circuito (empregando, por exemplo, componentes da família 74xxx), e explique seu funcionamento. Não é necessário detalhar os componentes internos de circuitos com o mesmo grau de complexidade de um contador. [10 pontos]

2) Considere o seguinte sistema de interrupções para o processador do T2. Os periféricos sinalizam ao processador da necessidade de atenção através de três sinais, I0, I1 e I2. O número representado pela tripla  $I = \langle I2 \ I1 \ I0 \rangle$  indica o nível de prioridade da interrupção esperando por ser atendida. Se  $I=0$  não há nenhuma interrupção pendente. Se  $I=n$ , o periférico associado à interrupção 'n' está solicitando atenção.

O "vetor de interrupções" (VdI) é uma estrutura em memória que contém os endereços das funções que tratam as interrupções. O elemento zero do VdI contém o endereço da rotina de inicialização do processador (boot). O elemento 'n' do VdI contém o endereço do tratador da interrupção de nível 'n'. Normalmente, em processadores como este, o vetor de interrupções é armazenado em ROM.

2.1) Descreva a interface de programação para o sistema de interrupções descrito acima, isto é, defina as instruções necessárias para a programação com interrupções. Usando esta interface, escreva em assembly um tratador de interrupções que lê um byte do periférico no endereço 10, e salva este byte no endereço 128. [10 pontos]

2.2) Desenhe um diagrama de tempos mostrando os eventos associados ao atendimento de uma interrupção de nível-3. Indique CLARAMENTE os eventos importantes. [10 pontos]

2.3) Descreva com precisão, mas sem entrar em maiores detalhes, as alterações no processador necessárias para implementar o sistema de interrupções descrito acima. Sem detalhamento excessivo, descreva a seqüência de microinstruções necessárias para o tratamento de interrupções. [10 pontos]

**Exame Final de 2001-2**

1) A paridade de uma seqüência de bits é a contagem de bits em UM na seqüência. Se a paridade é ímpar em uma seqüência com n-1 bits, então o bit de paridade (n-ésimo bit) deve ser tal que o número de bits em UM na seqüência seja ímpar.

Projete uma máquina de estados que computa a paridade ímpar de uma seqüência de bits. Esta máquina de estados possui três entradas e uma saída: a entrada 'DTX' recebe a seqüência de bits cuja paridade deve ser computada. A entrada 'clk' é o sinal que cadencia a operação do circuito. A saída 'parid' contém a paridade ímpar da seqüência apresentada em 'DTX' até o tick anterior de 'clk'. A entrada 'reset' coloca a saída em zero.

1.1) Desenhe um diagrama de tempos mostrando a operação do circuito. [5 pts]

1.2) Faça um diagrama com o circuito e explique seu funcionamento. [15 pts]

2) Considere o processador do T2. Existem várias condições que podem ocorrer durante a execução de um programa que podem indicar situações anormais, geralmente decorrentes de erros de programação. Três

possibilidades são (a) uma tentativa de acesso à um endereço de memória no qual não existe memória RAM; ou (b) a busca de uma instrução em endereço onde não exista memória ROM; e (c) a tentativa de executar uma instrução com opcode inválido. Estas condições são chamadas de 'exceções' e são similares a interrupções, mas ao contrário daquelas, são eventos internos ao processador.

- 2.1) Descreva um mecanismo de detecção das exceções do tipo (c). [15 pts]
- 2.2) Indique as alterações necessárias nos circuitos de dados e de controle para que seja possível o tratamento das exceções do tipo (c). [15 pts]
- 2.3) Indique (em pseudocódigo) as ações do microcódigo que trata exceções do tipo (c). [15 pontos]

Note que o processador do segundo trabalho não possui tratamento de exceções; a resposta a esta questão seria uma extensão à arquitetura do processador.

3) Defina e descreva um mecanismo que poderia ser adicionado ao circuito de controle microprogramado do processador do T2 de forma a minimizar o número de ciclos de relógio necessários para a execução dos programas.

- 3.1) Descreva o mecanismo. Existem casos onde ele falha? [15 pontos]
- 3.2) Desenhe a máquina de estados do controle do processador ANTES e DEPOIS da sua modificação. [10 pontos]
- 3.3) Indique as modificações necessárias nos circuitos afetados pela adição do mecanismo do item 3.1. [10 pontos]