

1 Elementos lógicos a serem implementados

A estrutura lógica do trabalho está apresentada na Figura abaixo.

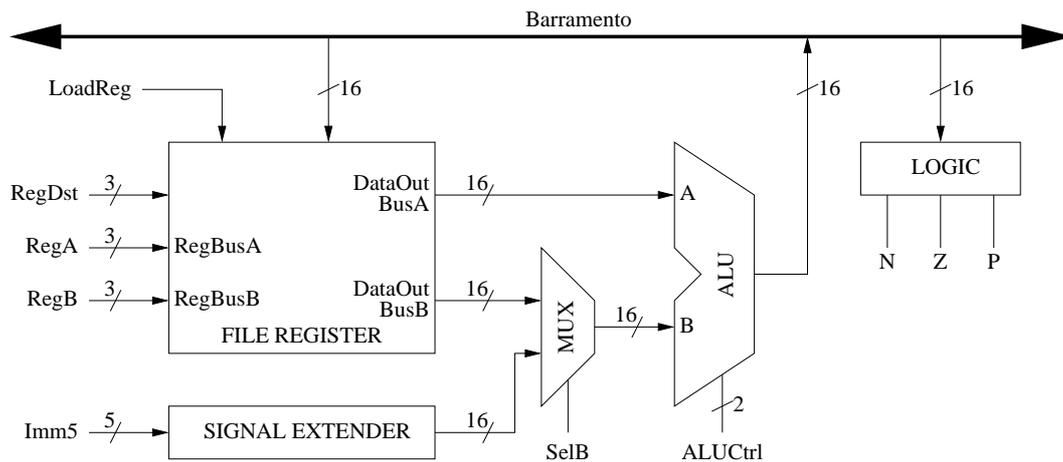


Figura 1: Estrutura Lógica do trabalho

1.1 Banco de Registradores

O banco de registradores consiste de 8 registradores (000 a 111). Para a gravação de dados em um registrador, é necessário colocar os dados no Barramento, indicar o registrador no qual os dados serão gravados (REGDST) e ativar o sinal de controle de gravação no banco de registradores (LOADREG). A leitura do conteúdo dos registradores pode ser feita simultaneamente a dois registradores, cujos endereços são indicados em REGA e REGB. O conteúdo dos registradores é então lido, respectivamente, nas saídas do banco DATAOUTBUS A e DATAOUTBUS B.

1.2 ULA

A Unidade Lógica e Aritmética do trabalho possui apenas quatro operações: ADD, AND, NOT ou simplesmente passar o primeiro operando para a saída. Isto implica dois sinais de controle.

código	operação
00	ADD RegDst, RegA, RegB ou ADD RegDst, RegA, Imm5
01	AND RegDst, RegA, RegB ou AND RegDst, RegA, Imm5
10	NOT RegDst, RegA
11	RegA

1.3 Registradores de Estado

Os operandos das operações são codificados em complemento de 2, representando portanto valores positivos e negativos. Os bits de status (N: negativo, Z: zero e P: positivo) são avaliados sobre os dados disponíveis no barramento.

1.4 Extensor de Sinal

O Extensor de Sinal (*Signal Extender*) transforma um valor binário de 5 bits com sinal em um valor binário de 16 bits com sinal, apenas replicando o bit mais significativo do valor colocado em IMM5 (bit 4), nos bits 5 a 15 do valor estendido.

2 Simulação

Os projetos em TkGate devem estar acompanhados por um script de simulação. Para tanto, todas as entradas devem estar associadas a *switchs* e o barramento a um *display*.

3 Desenvolvimento do trabalho:

O trabalho deve ser realizado individualmente ou em duplas, utilizando a ferramenta TkGate (<http://www.tkgate.org>).

3.1 Data de entrega:

A entrega do trabalho deverá ser efetuada impreterivelmente até 28 de novembro de 2007.

As entregas serão feitas por submissão eletrônica, via e-mail.

Cabe aos alunos verificarem periodicamente, na *home-page* da disciplina, as atualizações neste documento.

Cada trabalho entregue deverá corresponder a um arquivo com a seguinte denominação: `CI068-ULA-fulano_beltrano.tar.gz`, em que `fulano` e `beltrano` são os “*login name*” dos participantes no DINF. O conteúdo do arquivo, empacotado com `tar` e comprimido com `gzip`, deve conter um diretório com o mesmo nome do arquivo acima, sem a extensão `.tar.gz`. Ele deve conter, obrigatoriamente:

- todos os arquivos que sejam necessários para simular os circuitos projetados;
- scripts de simulação usados para a verificação e correção de cada bloco componente do processador;
- um relatório contendo o projeto de cada módulo e de cada bloco funcional (gerados pelo TkGate);
- um arquivo contendo o número de matrícula e o nome dos componentes do grupo.

Trabalhos incompletos não serão avaliados.

A critério do professor da disciplina, um ou mais alunos(as) podem ser chamados a apresentar e defender esta etapa do projeto. A nota do aluno(a) avaliado(a) será a nota da equipe.