

Releases - Histórico:

r0 08/05/2014 Primeira versão

1 Especificação do Trabalho

Projetar o circuito de uma MEF que controla uma máquina de lavar roupas (MLR).

A MLR começa seu ciclo quando a chave de ligar é acionada. O tipo de Programa é selecionado por outra chave. A MLR então segue seu trabalho passando pelos seguintes ciclos:

Programa	Descrição do ciclo
0. Desligado	
Normal	1.Encher 2.Molho 3.Lavagem 4.Esvazia 5.Encher 6.Lavagem 7.Esvazia 8.Centrifugação 9.Encher 10.Enxágue 11.Esvazia 12.Encher 13.Enxágue 14.Esvazia 15.Centrifugação
Curto	1.Encher 2.Lavagem 3.Esvazia 4.Centrifugação 5.Encher 6.Enxágue 7.Esvazia 8.Centrifugação
Expresso	1.Encher 2.Enxágue 3.Esvazia 4.Centrifugação
0. Desligado	

Existe um temporizador (assuma inicialmente que cada fase demora o mesmo tempo) que consiste de um contador de 4 bits que recebe um sinal de relógio (*CLK*), um sinal de reset (*RST*) e possui 4 saídas: *CLK*₀, *CLK*₁, *CLK*₂, *CLK*₃. Estes sinais de saída são usados de alguma forma como relógio do MEF-MLR. O temporizador começa a funcionar assim que a chave de Liga é acionada. Ao final do ciclo de um Programa de Lavagem, o temporizador pára e a MLR desliga. Se a tampa da MLR for aberta durante qualquer fase de lavagem, a máquina pára até que a tampa se feche novamente. Assuma que o temporizador suspende seu sinal quando a tampa é aberta, e volta a funcionar quando a tampa fecha. Após a seqüência de operação, a MLR pára e espera uma nova partida. Assuma que cada fase da MEF-MLR demora o equivalente a 32 ciclos do sinal *CLK* que ativa o temporizador.

2 Produto a ser Entregue

O trabalho deve ser desenvolvido por um grupo composto de no mínimo UM e no máximo DOIS alunos regularmente matriculados NA MESMA TURMA de CI068.

O trabalho consiste em entregar por e-mail 2 arquivos: um documento contendo o diagrama de estados da MEF-MLR, a identificação das entradas e saídas, as tabelas da verdade e equações booleanas derivadas delas, e o arquivo contendo a implementação da MEF-MLR codificada em VHDL .

Estes arquivos devem estar dentro de um diretório principal de nome `./login1-login2/` (se grupo com 2 membros) ou `./login1/` (se grupo com 1 membros), onde `login1` e `login2` são os *logins* dos alunos que compõem o grupo. Este diretório deve ser arquivado e compactado com *tar(1)* e *bzip2(1)* em um arquivo chamado `login1.tar.bz2` (se grupo com 1 membro) ou `login1-login2.tar.bz2` (se grupo com 2 membros).

Note que a extração dos arquivos em `login1-login2.tar.bz2` deve criar o diretório `login1-login2` contendo todos os arquivos e diretório acima.

3 Entrega

A entrega do trabalho será feita em 3 (três) fases:

Fase 1: Apresentação do trabalho pelo grupo no dia 03 e 05 de junho de 2014 em sala de aula ou laboratório para responder questionamentos do professor sobre o trabalho;

Fase 2: ENTREGA DO MEF-MLR COMPLETO DESENVOLVIDO NESTE TRABALHO EM **06 de junho 2014, 12:00H**, IMPRETERIVELMENTE.

As datas são finais e não serão aceitos trabalhos entregues em atraso. Grupos que não comparecerem na Fase 1 terão nota 0 (zero).

O produto do trabalho (seção 2) deve ser enviado como anexo por e-mail ao professor responsável pela respectiva turma da disciplina:

- A mensagem com o anexo deve ser enviada ao professor da respectiva turma: Prof. Armando Delgado <nicolui@inf.ufpr.br> (Turma A) ou Prof. Luis Allan Künzle <kunzle@inf.ufpr.br> (Turma B), com o Assunto (*Subject*): **CI068 - Trabalho Final**.
- No corpo da mensagem DEVE CONSTAR OBRIGATORIAMENTE os Nomes e Números de Registro Acadêmico (RA) dos membros do grupo;
- O grupo deverá considerar o trabalho como entregue SOMENTE APÓS RECEBER DO PROFESSOR UMA MENSAGEM DE CONFIRMAÇÃO DE RECEBIMENTO dentro de 48 horas desde o envio da mensagem;

4 Critério de Avaliação

APENAS OS TRABALHOS QUE FUNCIONAREM SERÃO CORRIGIDOS. A implementação VHDL não compilar e gerar os arquivos de simulação durante os testes realizados pelo professor, trará para o grupo NOTA 0 (ZERO). Também receberão NOTA 0 (ZERO) trabalhos plagiados de qualquer fonte, e/ou com códigos idênticos ou similares. Além disso, apenas trabalhos entregues no prazo marcado receberão nota.

Os itens de avaliação do trabalho e respectivas pontuações são:

Qualidade da documentação: 15 pontos

Qualidade do código VHDL : 25 pontos

Implementação e Eficiência: 60 pontos

Defesa: A defesa do trabalho será oral, e definirá a nota individual de cada membro da equipe, de acordo com seu conhecimento a respeito do trabalho.

As defesas dos trabalhos pelos alunos estão programadas para o dia 03 e 05 de junho de 2014. Fiquem atentos à página da disciplina para a escala de apresentações, se houver.

5 Casos Omissos

Quaisquer dúvidas a respeito da especificação, entrega ou avaliação do trabalho deverão ser encaminhadas aos professores da disciplina, pessoalmente ou através de mensagens eletrônicas.